

明細書

定電流回路及びフラットディスプレイ装置

発明の背景

5

技術分野

本発明は、定電流回路及びフラットディスプレイ装置に関し、例えば絶縁基板上に駆動回路を一体に形成した液晶表示装置に適用することができる。本発明は、基準電流によりサンプリング用コンデンサを充電してこの基準電流によるトランジスタのゲートソース間電圧をサンプリング用コンデンサに設定した後、このサンプリング用コンデンサの電圧によりトランジスタを駆動して定電流回路として機能させることにより、従来に比してばらつきを小さくすることができるようにする。

背景技術

15 従来、各種集積回路においては、カレントミラー回路により定電流回路を構成して、各部の動作に必要な電流を供給するようになされている。すなわち第1図及び第2図は、それぞれカレントミラー回路による定電流回路を示す接続図である。第1図に示す定電流回路は、PチャンネルMOS（以下、PMOSと呼ぶ）Q1による基準電流を、カレントミラー回路構成によるNチャンネルMOS（以下、NMOSと呼ぶ）トランジスタQ2及びQ3により折り返すことにより、所望する回路ブロックより基準電流に対応する一定電流を流出させるのに対し、第2図に示す定電流回路は、NMOSトランジスタQ4による基準電流を、カレントミラー回路構成によるPMOSトランジスタQ5及びQ6により折り返すことにより、所望する回路ブロックに基準電流に対応する一定電流を流入させるようになされている。

近年、例えばPDA、携帯電話等の携帯端末装置に適用されるフラットディスプレイ装置である液晶表示装置においては、液晶表示パネルを構成する絶縁基板であるガラス基板上に、液晶表示パネルの駆動回路を一体に集積化して構成するものが提供されるようになされており、このようなフラットディスプレイ装置に

においても、駆動回路は、第 1 図及び第 2 図について上述した定電流回路が使用されるようになされている。

- 具体的に、この種の液晶表示装置は、液晶セル、この液晶セルのスイッチング素子であるポリシリコン T F T (Thin Film Transistor ; 薄膜トランジスタ)、
- 5 保持容量とによる画素をマトリックス状に配置して表示部が形成され、この表示部の周囲に配置した各種の駆動回路により表示部を駆動して各種の画像を表示するようになされている。液晶表示装置においては、特開平 7 - 2 9 5 5 2 1 号公報等の開示されているように、プリチャージの処理により、例えば 1 ライン毎に、各画素の信号線を所定電位に設定して保持容量を充放電した後、各画素の階調
- 10 を示す階調データによるアナログ信号により各画素を駆動するようになされ、このアナログ信号による駆動に係る回路ブロック等に、このような定電流回路が設けられるようになされている。

- しかしながらこの種の液晶表示装置に適用されるアクティブ素子である T F T は、特性のばらつきが大きい欠点があり、これによりこのようなアクティブ素子
- 15 によるトランジスタを用いて第 1 図及び第 2 図に示す定電流回路を構成した場合、トランジスタ Q 1、Q 4 で設定される基準電流がばらつき、さらにこの基準電流に対してトランジスタ Q 3 に流入させる電流、トランジスタ Q 6 より流出させる電流がばらつく問題がある。

- このようなばらつきによる各回路ブロックの影響を少なくするため、従来、こ
- 20 の種のアクティブ素子により定電流回路においては、比較的大きな電流を流すように設計されるようになされているが、このようにするとその分、消費電力が大きくなる欠点がある。

発明の開示

- 25 本発明は以上の点を考慮してなされたもので、従来に比してばらつきを小さくすることができる定電流回路、このような定電流回路を用いたフラットディスプレイ装置を提案しようとするものである。

かかる課題を解決するため本発明においては、定電流回路に適用して、トランジスタのゲートソース間に接続されたサンプリング用コンデンサと、トランジ

スタのドレインとを基準電流源に接続し、トランジスタを基準電流源の基準電流により駆動した際のゲートソース間の電圧にサンプリング用コンデンサの両端電圧を設定した後、サンプリング用コンデンサ、トランジスタと基準電流源との接続を遮断すると共に、トランジスタのドレインを駆動対象に接続し、サンプリング用コンデンサに設定されたゲートソース間の電圧によるトランジスタの電流で駆動対象を駆動する。

本発明の構成により、定電流回路に適用して、トランジスタのゲートソース間に接続されたサンプリング用コンデンサと、トランジスタのドレインとを基準電流源に接続し、トランジスタを基準電流源の基準電流により駆動した際のゲートソース間の電圧にサンプリング用コンデンサの両端電圧を設定した後、サンプリング用コンデンサ、トランジスタと基準電流源との接続を遮断すると共に、トランジスタのドレインを駆動対象に接続し、サンプリング用コンデンサに設定されたゲートソース間の電圧によるトランジスタの電流で駆動対象を駆動すれば、このトランジスタにおいては、特性がばらついている場合でも、基準電流による駆動時の条件により動作して駆動対象を駆動し得、これにより駆動対象の駆動に供する定電流のばらつきを格段的に小さくすることができる。

また本発明においては、フラットディスプレイ装置に適用して、水平駆動回路に設けられたバッファ回路の定電流回路が、トランジスタのゲートソース間に接続されたサンプリング用コンデンサと、トランジスタのドレインとを基準電流源に接続し、トランジスタを基準電流源の基準電流により駆動した際のゲートソース間の電圧にサンプリング用コンデンサの両端電圧を設定した後、サンプリング用コンデンサ、トランジスタと基準電流源との接続を遮断すると共に、トランジスタのドレインを駆動対象に接続し、サンプリング用コンデンサに設定されたゲートソース間の電圧によるトランジスタの電流で駆動対象を駆動するようにする。

これにより本発明の構成によれば、従来に比してばらつきを小さくしてなる定電流回路を用いて、各信号線の駆動に係る特性のばらつきを小さくすることができるフラットディスプレイ装置を提供することができる。

本発明によれば、基準電流によりサンプリング用コンデンサを充電してこの基準電流によるトランジスタのゲートソース間電圧をサンプリング用コンデンサに設定した後、このサンプリング用コンデンサの電圧によりトランジスタを駆動して定電流回路として機能させることにより、従来に比して定電流回路におけるばらつきを小さくすることができる。

またこのような定電流回路によりフラットディスプレイ装置を構成することにより、各信号線の駆動に係る特性のばらつきを小さくし得、またその分、定電流による定電流値を小さくして全体の消費電力を少なくすることができる。

10

図面の簡単な説明

第1図は、従来の定電流回路を示す接続図である。

第2図は、第1図とは異なる例を示す接続図である。

第3図は、本発明の実施例1に係る液晶表示装置を示すブロック図である。

第4図は、第3図の液晶表示装置の水平駆動回路の一部を示すブロック図である。

第5図は、第4図のバッファ回路を示す接続図である。

第6図は、第5図のバッファ回路におけるプリチャージ回路の動作の説明に供するタイムチャートである。

第7図は、第3図の液晶表示装置に適用される定電流回路を示す接続図である。

第8図は、第7図の定電流回路の動作の説明に供するタイムチャートである。

第9図は、第5図のバッファ回路におけるアナログバッファ回路の動作の説明に供するタイムチャートである。

第10図は、第5図のバッファ回路におけるアナログバッファ回路の動作の説明に供する接続図である。

第11図は、第10図の続きの説明に供する接続図である。

第12図は、第11図の続きの説明に供する接続図である。

第13図は、第12図の続きの説明に供する接続図である。

第14図は、本発明の実施例2に適用されるアナログバッファ回路を示す接続

図である。

第 15 図は、第 14 図のアナログバッファ回路に適用される定電流回路を示す接続図である。

第 16 図は、第 14 図のアナログバッファ回路の動作の説明に供するタイムチャートである。

第 17 図は、本発明の実施例 3 に適用されるアナログバッファ回路を示す接続図である。

第 18 図は、第 17 図のアナログバッファ回路の動作の説明に供するタイムチャートである。

第 19 図は、本発明の実施例 4 に適用される水平駆動回路の一部構成を示すブロック図である。

第 20 図は、本発明の実施例 5 に係る定電流回路を示す接続図である。

発明を実施するための最良の形態

以下、適宜図面を参照しながら本発明の実施例を詳述する。

(1) 実施例 1

(1-1) 実施例 1 の構成

第 3 図は、本発明の実施例 1 に係る液晶表示装置を示すブロック図である。この液晶表示装置 1 においては、液晶セル 2、この液晶セル 2 のスイッチング素子であるポリシリコン TFT 3、保持容量 4 とによる画素が形成され、この画素をマトリックス状に配置して表示部 6 が形成される。液晶表示装置 1 は、この表示部 6 を形成する各画素が、信号線 LS 及びゲート線 LG によりそれぞれ水平駆動回路 7 及び垂直駆動回路 8 に接続され、垂直駆動回路 8 により順次画素を選択して水平駆動回路 7 からの駆動信号により各画素の階調を設定することにより、所望する画像を表示するようになされている。

このため垂直駆動回路 8 は、図示しないタイミング発生回路から出力されるタイミング信号により各ゲート線 LG を駆動することにより、水平駆動回路 7 における処理に連動して順次ライン単位で画素を選択する。

水平駆動回路 7 は、各画素の階調を示す階調データ D1 を順次循環的に取り込

んで各信号線LSの駆動信号を生成する。すなわち水平駆動回路7において、シフトレジスタ9は、階調データD1を順次循環的にサンプリングすることにより、階調データD1をライン単位でまとめ、1ライン分の階調データD1を水平ブランキング期間の所定のタイミングでデジタルアナログ変換回路(DAC)10に出力する。

デジタルアナログ変換回路10は、シフトレジスタ9から出力される階調データD1をそれぞれデジタルアナログ変換処理して出力する。バッファ回路部11は、このデジタルアナログ変換回路10の出力信号により各信号線LSを駆動し、これにより水平駆動回路7においては、階調データD1に応じた階調により表示部6の各画素を駆動して所望の画像を表示できるようになされている。

10 バッファ回路部11は、このようにしてデジタルアナログ変換回路10の出力信号により各信号線LSを駆動し、またこのときいわゆるプリチャージの処理に供するように各信号線LSを駆動する。

第4図は、水平駆動回路7のデジタルアナログ変換回路10、バッファ回路部11を詳細に示すブロック図である。デジタルアナログ変換回路10において、基準電圧発生回路15は、例えば所定の生成基準電圧を抵抗分圧することにより、階調データD1による階調に対応する複数の基準電圧V0～V63を生成して出力する。基準電圧セクタ16は、それぞれこれら複数の基準電圧V0～V63を受け、シフトレジスタ9から出力される階調データD1に応じて、何れかの基準電圧を選択出力する。これによりデジタルアナログ変換回路10は、階調データD1に対応する基準電圧の選択により、階調データD1をデジタルアナログ変換処理するようになされている。

15 部11を詳細に示すブロック図である。デジタルアナログ変換回路10において、基準電圧発生回路15は、例えば所定の生成基準電圧を抵抗分圧することにより、階調データD1による階調に対応する複数の基準電圧V0～V63を生成して出力する。基準電圧セクタ16は、それぞれこれら複数の基準電圧V0～V63を受け、シフトレジスタ9から出力される階調データD1に応じて、何れかの基準電圧を選択出力する。これによりデジタルアナログ変換回路10は、階調データD1に対応する基準電圧の選択により、階調データD1をデジタルアナログ変換処理するようになされている。

バッファ回路部11は、タイミング発生回路17から出力される各種タイミング信号により動作する各バッファ回路18により基準電圧セクタ16の出力信号を処理し、各信号線LSに出力する。なおこの第4図において、それぞれ符号R、G、Bは、赤色、緑色、青色の画素に対応する系であることを示すものである。

25 号を処理し、各信号線LSに出力する。なおこの第4図において、それぞれ符号R、G、Bは、赤色、緑色、青色の画素に対応する系であることを示すものである。

第5図は、このバッファ回路18の構成を詳細に示す接続図である。バッファ回路18は、アナログバッファ回路20に基準電圧セクタ16の出力信号(符

- 号V i nにより示す) が入力され、この入力信号V i nにより対応する信号線L Sを駆動する。また水平ブランキング期間の間で、1ライン毎に、図示しないC S駆動回路と共に信号線L Sの電位を切り換えてプリチャージの処理を実行する。このためバッファ回路18においては、入力信号V i nによる画素の階調設定
- 5 に係る処理を実行するアナログバッファ回路20と、プリチャージの処理に係るプリチャージ回路21とにより構成される。なお、以下の説明において、スイッチ回路は、PMOSトランジスタ又はNMOSトランジスタにより構成され、タイミング発生回路17から出力されるタイミング信号の符号を各スイッチ回路等に付して、各スイッチ回路等の制御に係るタイミング信号を示す。
- 10 すなわちこの液晶表示装置1では、第6図に示すように、いわゆるライン反転により表示部6を駆動して、水平ブランキング期間の間でプリチャージの処理を実行し、このため図示しないC S駆動回路により、保持容量4のトランジスタ3が設けられていない側の端子電圧(第3図参照、第6図においては、符号C Sによるこの端子側の配線であるC S線の電位により示す)が水平走査期間毎に、グ
- 15 ランドレベルと正側所定電位との間で切り換える(第6図(A))。このためアナログバッファ回路20は、出力段に設けられたスイッチ回路22により、このプリチャージの処理を実行する期間(以下プリチャージ期間と呼ぶ)T1の間、信号線L Sより切り離される(第6図(F)及び(G))。

- プリチャージ回路21は、プリチャージ期間T1のほぼ前半の期間の間、それ
- 20 ぞれタイミング発生回路17から出力されるタイミング信号PCG1、PCG2により、信号線L Sに接続されたスイッチ回路23及び24がそれぞれオフ状態及びオン状態に設定し(第6図(B)~(E))、これによりC S線C Sを信号線L Sに接続してC S駆動回路によりC S線C Sの電位を切り換える(第6図(H))。これによりプリチャージ回路21は、信号線L Sと保持容量4とに蓄積
- 25 された電荷を有効に利用してC S線C Sの電位を切り換え、その分、全体の消費電力を少なくするようになされている。

また続いてタイミング信号PCG1、PCG2により、スイッチ回路23及び24がそれぞれオン状態及びオフ状態に設定され(第6図(B)~(E))、これにより信号線L SをC S線C Sから切り離して、信号線L Sの電位をグランド

レベルに設定する（第6図（H））。これによりこの実施例では、グラウンドレベルと正側所定電位とでCS線CSの電位を切り換えて、信号線LSについては、グラウンドレベルを基準にして駆動できるようになされ、その分、後述するように、信号線LSの駆動に係るアナログバッファ回路20の構成を簡略化できるようになされている。

アナログバッファ回路20は、NMOSトランジスタQ11によるソースフォロワにより構成され、このNMOSトランジスタQ11のソースに第7図（A）に示す定電流回路26が接続される。ここでこの定電流回路26は、タイミング信号xNcnt1をゲートに入力してなるPMOSトランジスタQ13により基準電流源が形成され、このPMOSトランジスタQ13に直列にNMOSトランジスタQ14が接続されて、このNMOSトランジスタQ14にPMOSトランジスタQ13による基準電流が流入するように形成される。

またこの定電流回路26は、NMOSトランジスタQ14のゲートーソース間に、サンプリング用コンデンサC3が設けられ、PMOSトランジスタQ13による基準電流をこのサンプリング用コンデンサC3に流入させるスイッチ回路27が設けられるようになされている。定電流回路26において、このスイッチ回路27は、所定のタイミング信号Ncnt2によりオン動作し、PMOSトランジスタQ13による基準電流をNMOSトランジスタQ14に流している状態の、NMOSトランジスタQ14のゲートーソース間電圧Vgsをサンプリング用コンデンサC3にサンプリングするようになされ、またその後、オフ状態に切り換わって、このサンプリング用コンデンサC3にサンプリングしてなるゲートーソース間電圧Vgsを保持するようになされている。

この定電流回路26は、スイッチ回路28を介して、このNMOSトランジスタQ14のドレインが、バッファ回路を構成するNMOSトランジスタQ11のソースに接続され、このスイッチ回路23は、所定のタイミング信号Nactにより、サンプリング用コンデンサC3でNMOSトランジスタQ14のゲートーソース間電圧Vgsをサンプリングし、さらにタイミング信号xNcnt1によりPMOSトランジスタQ13から基準電流が出力されなくなった後、オン状態に切り換わるように設定され、これによりサンプリング用コンデンサC3でサン

プリングしたゲートソース間電圧 V_{gs} による電流をトランジスタ Q_{11} より流出させるようになされている。

しかして第8図は、この定電流回路26の制御に係るタイミング信号 $xNcnt1$ 、 $Nact$ 、 $Ncnt2$ と各スイッチ回路27、28、トランジスタ Q_{13} の遷移を示すタイムチャートである。この定電流回路26は、初期状態である動作を開始した直後においては、第7図(B)に示すように、タイミング信号 $xNcnt1$ がLレベルに保持されてトランジスタ Q_{13} がオフ状態に保持され(第8図(A)及び(B))、またタイミング信号 $Nact$ 、 $Ncnt2$ がそれぞれHレベル、Lレベルに保持され、これによりスイッチ回路27、28がそれぞれ
10 オフ状態、オン状態に保持される(第8図(C)～(F))。これにより定電流回路26は、この場合、何らトランジスタ Q_{11} から電流を流出させない状態に保持される。

定電流回路26は、所定のタイミングでこれらタイミング信号 $xNcnt1$ 、 $Nact$ 、 $Ncnt2$ の論理値が同時に切り換わり、これにより第7図(C)に
15 示すように、スイッチ回路27、28がそれぞれオン状態、オフ状態に動作を切り換え、またトランジスタ Q_{13} が動作を開始して基準電流の出力を開始する。これにより定電流回路26は、トランジスタ Q_{13} による基準電流 I_1 がサンプリング用コンデンサ C_3 を充電すると共に、トランジスタ Q_{14} を介して流出する。このサンプリング用コンデンサ C_3 の充電電流においては、充電によりサン
20 プリング用コンデンサ C_3 の両端電圧が上昇するに従って徐々に減少し、トランジスタ Q_{14} から基準電流 I_1 を流出させるに必要な、トランジスタ Q_{14} のゲートソース間電圧 V_{gs} となると、サンプリング用コンデンサ C_3 に充電電流が流入しなくなり、この状態ではトランジスタ Q_{13} による基準電流 I_1 のその全てがトランジスタ Q_{14} に流入することになる。これにより定電流回路26で
25 は、基準電流 I_1 をトランジスタ Q_{14} に流入させながら、このトランジスタ Q_{14} のゲートソース間に接続されたサンプリング用コンデンサ C_3 を基準電流 I_1 により充電することにより、トランジスタ Q_{14} に基準電流 I_1 を流入させるに必要なトランジスタ Q_{14} のゲートソース間電圧 V_{gs} をサンプリング用コンデンサ C_3 に設定するようになされている。

定電流回路 26 は、このようにタイミング信号 $xNcnt1$ 、 $Nact$ 、 $Ncnt2$ の論理値を切り換えて、トランジスタ $Q14$ のゲートソース間電圧 Vgs をサンプリング用コンデンサ $C3$ に保持するに十分な期間が経過すると、タイミング信号 $Nact$ 、 $Ncnt2$ が元の論理値に戻り、これにより基準電流 $I1$ の供給が停止され、またサンプリング用コンデンサ $C3$ がトランジスタ $Q14$ のドレインから切り離される。また続いてタイミング信号 $xNcnt1$ が元の論理値に戻り、トランジスタ $Q14$ のドレインがこの定電流回路 26 の駆動対象であるトランジスタ $Q11$ に接続される。これにより定電流回路 26 は、第 7 図 (D) に示すように、サンプリング用コンデンサ $C3$ に設定されてなる基準電流 $I1$ によるトランジスタ $Q14$ のゲートソース間電圧 Vgs により、トランジスタ $Q11$ から電流を流出させ、定電流回路として機能するようになされている。

しかして第 6 図について上述したように、この液晶表示装置 1 においては、水平ブランキング期間に設けられたプリチャージ期間 $T1$ よりプリチャージの処理を実行することにより、定電流回路として機能させるに必要な基準電流 $I1$ によるトランジスタ $Q14$ のゲートソース間電圧 Vgs をサンプリング用コンデンサ $C3$ に設定する期間 $T3$ をこのプリチャージ期間 $T1$ に割り当て、このゲートソース間電圧 Vgs を設定する期間 $T3$ と定電流回路として機能する期間 $T4$ との繰り返しにより動作するように各タイミング信号 $xNcnt1$ 、 $Nact$ 、 $Ncnt2$ が供給されるようになされている。

アナログバッファ回路 20 は (第 5 図)、トランジスタ $Q11$ のゲートソース間に、それぞれソース側にスイッチ回路 31 及び 32 を設けてなるコンデンサ $C1$ 、 $C2$ が設けられる。またトランジスタ $Q11$ のゲート、コンデンサ $C1$ 、 $C2$ の各スイッチ回路 31、32 側にそれぞれスイッチ回路 33、34、35 が設けられ、これらスイッチ回路 33、34、35 の他端に基準電圧セレクタ 16 からの信号 Vin が入力されるようになされている。アナログバッファ回路 20 は、これらスイッチ回路 31～35 の切り換えによりトランジスタ $Q11$ のばらつきをキャンセルして入力信号 Vin により信号線 LS を駆動するようになされている。

すなわち第 6 図、第 8 図について上述したプリチャージに係る処理、定電流回

路 26 に係る処理との対比により第 9 図に示すように、バッファ回路 18 においては、プリチャージ回路 21 におけるプリチャージ期間 T_1 の開始に対応して（第 9 図（A）、（J）～（L））、定電流回路 26 でトランジスタ Q_{13} に係るサンプリング処理が開始する（第 9 図（C）～（E））。アナログバッファ回路 20 においては、これらの処理が開始されると、全てのスイッチ回路 22、31～35 がオフ状態に設定される。

またその後、期間 T_3 だけ経過して定電流回路 26 が定電流回路としての機能を開始すると、第 10 図に示すように、スイッチ回路 31、32、33 がオン状態に切り換わる。なお第 9 図においては、各スイッチ回路 22、31～35 を制御するタイミング信号 $N_1 \sim N_5$ の立ち上がりにより、オン状態を示す。これによりアナログバッファ回路 20 では、この状態でのトランジスタ Q_{11} のゲートソース間電圧 V_{osA} をコンデンサ C_1 、 C_2 でサンプリングし、ソースフォロワにより動作する際のオフセットを検出するようになされている。

また続いて第 11 図に示すように、スイッチ回路 31、33 がオフ状態に切り換えられ、スイッチ回路 35 がオン状態に切り換えられる。これによりアナログバッファ回路 20 では、入力電圧 V_{in} に対して、コンデンサ C_1 にサンプリングされている電圧 V_{osA} の分、トランジスタ Q_{11} のゲート電圧をオフセットさせた状態にて定電流回路 26 による電流でトランジスタ Q_{11} が動作し、この状態におけるトランジスタ Q_{11} のゲートソース間電圧 V_{osB} を C_2 でサンプリングする。これによりトランジスタ Q_{11} のソース電圧は、 $V_{in} + (V_{osA} - V_{osB})$ となる。これによりこのアナログバッファ回路 20 は、コンデンサ C_1 で先に検出したオフセット電圧をキャンセルするようにした状態で、さらにソースフォロワにより動作する際のオフセットをコンデンサ C_2 により検出するようになされている。

続いてアナログバッファ回路 20 は、第 12 図に示すように、全てのスイッチ回路 22、31～35 がオフ状態となった後、第 13 図に示すように、スイッチ回路 22、34 がオン状態に設定される。これによりバッファ回路 20 は、コンデンサ C_2 で検出したオフセット電圧により入力電圧 V_{in} をオフセットしてソースフォロワにより信号線 LS を駆動するようになされ、2 回のオフセット検出

を繰り返したことにより、その分、高い精度により入力電圧 V_{in} に対するオフセット電圧を小さくして信号線LSを駆動し、トランジスタQ11のばらつきによる影響を十分小さなものとするようになされている。

しかして第13図により示す状態において、アナログバッファ回路20は、トランジスタQ11より定電流回路26及び信号線LSにソース電流を出力し、このソース電流の出力により保持容量4を充電する。またこの保持容量4の充電によりソース電位が上昇すると、その分、トランジスタQ11からのソース電流出力を徐々に低下させ、ソース電位が入力電位 V_{in} と等しくなると、ソース電流の信号線LSの出力が停止され、ソース電流を定電流回路26にだけ出力するようになされ、これにより入力信号 V_{in} に応じて対応する信号線LSを駆動するようになされている。

アナログバッファ回路20においては、この第13図に示す状態により信号線LSを駆動する期間が、プリチャージ期間 T_1 以降の期間に設定されるようになされている。

15 (1-2) 実施例1の動作

以上の構成において、この液晶表示装置1では(第3図)、描画に係るコントローラ等から各画素の階調を指示する階調データD1がラスタ走査順に入力され、この階調データD1が水平駆動回路7のシフトレジスタ9により順次サンプリングされてライン単位でまとめられ、ディジタルアナログ変換回路10に転送される。階調データD1は、このディジタルアナログ変換回路10において、アナログ信号に変換され、このアナログ信号により表示部6の各信号線LSが駆動される。これにより液晶表示装置1では、垂直駆動回路8によるゲート線LGの制御により順次選択されてなる表示部6の各画素が、水平駆動回路7により駆動されて階調データD1による画像が表示部6に表示される。

25 このようにして表示部6の信号線LSを駆動する水平駆動回路7においては(第4図)、基準電圧発生回路15により階調データD1の各階調に対応する基準信号 $V_0 \sim V_{63}$ が生成され、基準電圧セクタ16において、各階調データD1に応じてこの基準信号 $V_0 \sim V_{63}$ が選択されることにより、階調データD1がディジタルアナログ変換処理され、このディジタルアナログ変換処理結果がバ

ッファ回路 18 に入力されて各信号線 L S が駆動される。

このバッファ回路 18 では（第 5 図、第 6 図）、水平ブランキング期間の間で、アナログバッファ回路 20 が信号線 L S より切り離されて、スイッチ回路 23 の設定により、保持容量 4 のトランジスタ 3 とは逆側の C S 線 C S が信号線 L S に接続された状態で、水平走査周期毎に、この C S 線 C S が正側所定電位又はグランド電位に設定される。またその後、C S 線 C S が信号線 L S から切り離され、スイッチ回路 24 の設定により、信号線 L S がグランド電位に保持される。

すなわち所定のタイミングでゲート線 L G により選択された所定のラインにおいては、C S 線 C S 及び信号線 L S が接続されて、このラインに係る保持容量 4 の両端電極がグランドレベルに設定された後、この信号線 L S がグランドレベルに設定されて基準電圧セクタ 16 から出力されるアナログ信号により駆動されるのに対し、続くラインにおいては、この保持容量 4 の両端電位が正側所定電位に設定された後、信号線 L S がグランドレベルに設定されて基準電圧セクタ 16 から出力されるアナログ信号により駆動され、これらによりこの液晶表示装置 1 では、いわゆるライン反転に係る駆動によるプリチャージの処理が実行され、液晶セル 2 の劣化が防止される。

しかしてこのように C S 線 C S を信号線 L S に接続して、水平走査周期に正側所定電位又はグランド電位に交互に設定した後、信号線 L S をグランド電位に設定することにより、液晶表示装置 1 では、グランド電位を基準にした片側電源側だけで各画素を駆動するようになされ、その分、アナログバッファ回路 20 の構成を簡略化するようになされている。すなわちこのように構成すれば、アナログバッファ回路 20 においては、グランド電位からこの正側所定電位間で信号線 L S を駆動すれば足り、NMOS ソースフォロワ回路構成により構成して、グランド電位から負側電源側の駆動に係る構成を省略することができる。

従って液晶表示装置 1 では、その分、表示部 6 の周辺構成を簡略化して狭額縁化することができ、また消費電力を低減することができる。

しかしてこのようにしてプリチャージの処理を完了すると、液晶表示装置 1 では、アナログバッファ回路 20 により対応する信号線 L S が駆動され、階調データ D 1 に対応する階調に対応する画素の階調が設定される。

- この信号線LSの駆動において、アナログバッファ回路20では（第9図～第13図）、プリチャージの処理期間の間でオフセットを補正する処理が実行され、この処理によりオフセットを補正して信号線LSが駆動される。すなわちアナログバッファ回路20では（第9図及び第10図）、始めに、定電流回路26による定電流によりトランジスタQ11を駆動した状態で、スイッチ回路31、32の設定によりトランジスタQ11のゲートソース間に並列にコンデンサC1、C2が配置され、この状態でデジタルアナログ変換回路出力VinがトランジスタQ11に供給され、これによりこの駆動に係るトランジスタQ11のゲートソース間電圧がコンデンサC1、C2に設定される。
- 10 またスイッチ回路31、33、35の設定により、このようにしてゲートソース間電圧を保持してなるコンデンサC2を介して、トランジスタQ11のゲートにデジタルアナログ変換回路出力Vinが供給され、これによりコンデンサC2に保持した電圧によりオフセットをキャンセルした状態によるトランジスタQ11のゲートソース間電圧がコンデンサC1に設定される。
- 15 アナログバッファ回路20では（第12図、第13図）、プリチャージの処理が完了すると、このようにしてコンデンサC1に保持されてなる電圧によりデジタルアナログ変換回路出力VinがオフセットされてトランジスタQ11のゲートに供給され、これによりトランジスタQ11のばらつきによる影響を十分に抑圧して、各信号線LSを駆動することができるようになされている。
- 20 これらによりこの液晶表示装置1では、NMOSソースフォロワ回路による簡易な構成によりアナログバッファ回路20を構成して、その分、狭額縁化し、また消費電力を少なくするようになされている。
- このようにして信号線LSを駆動するにつき、アナログバッファ回路20の定電流回路26では（第7図）、プリチャージの期間であって、かつアナログバッファ回路20における動作開始の期間で、トランジスタQ14のゲートソース間に接続されたサンプリング用コンデンサC3と、このトランジスタQ14のドレインとを基準電流源Q13に接続し、トランジスタQ14を基準電流I1により駆動した際のゲートソース間の電圧にサンプリング用コンデンサC3の両端電圧を設定した後、このサンプリング用コンデンサC3、トランジスタQ14と

基準電流源Q 1 3との接続を遮断すると共に、トランジスタQ 1 4のドレインを駆動対象に接続し、サンプリング用コンデンサC 3に設定されたゲートソース間の電圧によるトランジスタQ 1 4の電流で駆動対象を駆動する。

これによりこの定電流回路2 6では、トランジスタQ 1 4の特性がばらついて
5 いる場合でも、このばらつきの影響を受けることなく、基準電流I 1により駆動対象を駆動することができる。實際上、第1図、第2図の構成による定電流回路においては、それぞれトランジスタQ 1～Q 3、Q 4～Q 6のばらつきにより出力電流がばらつくのに対し、この定電流回路2 6では、基準電流源のトランジスタQ 1 3のばらつきだけが出力電流に影響を与えることにより、出力電流のばら
10 つきを第1図、第2図に示す構成に比して1／3に低減することができる。

またばらつきを少なくするために基準電流値を増大させるような設定を回避し得ることにより、その分、全体の消費電力も少なくすることができる。

(1－3) 実施例1の効果

以上の構成によれば、基準電流によりサンプリング用コンデンサを充電してこ
15 の基準電流によるトランジスタのゲートソース間電圧をサンプリング用コンデンサに設定した後、このサンプリング用コンデンサの電圧によりトランジスタを駆動して定電流回路として機能させることにより、従来に比してばらつきを小さくすることができる。

またこのようなサンプリングに係る処理と、定電流回路として機能する処理と
20 を繰り返すことにより、サンプリング用コンデンサに保持した電圧変化による出力電流の変化を有効に回避することができる。

またフラットディスプレイ装置である液晶表示装置に適用して、このサンプリング用コンデンサの電圧設定に係る処理をプリチャージの期間に設定することにより、このようにサンプリング用コンデンサの電圧を設定して定電流回路に係る
25 処理を実行するようにして、何らこのサンプリング用コンデンサの電圧設定に係る処理を他の回路ブロックの処理に影響を与えないようにすることができる。

(2) 実施例2

第1 4図は、本発明の実施例2に係る液晶表示装置に適用されるアナログバッ

ファ回路の構成を示すブロック図である。このアナログバッファ回路 40 は、実施例 1 に係る NMOS ソースフォロワ回路によるアナログバッファに代えて、PMOS ソースフォロワ回路により構成される。このためこの実施例 2 に係る液晶表示装置では、実施例 1 に係る液晶表示装置 1 におけるグランド電位と正側所定電位との間の切り換えに係るプリチャージの処理に代えて、グランド電位と負側所定電位との間の切り換えに係るプリチャージの処理を実行する。

アナログバッファ回路 40 においては、NMOS トランジスタに代えて PMOS トランジスタにより構成する点、この構成に対応して正側電源及び負側電源に対する各部の接続が異なる点を除いて、実施例 1 のアナログバッファ回路 20 と同一に構成される。また第 15 図に示すように、定電流回路 46 においても、NMOS トランジスタに代えて PMOS トランジスタが適用され、これに対応して正側電源及び負側電源に対する各部の接続が異なる点を除いて、実施例 1 の定電流回路 26 と同一に構成される。

なおこのアナログバッファ回路に係るタイムチャートを第 9 図との対比により第 16 図に示す。また第 14 図においては、プリチャージ回路の記載を省略して保持容量等に係る接続を符号 C_{sig} 等により示す。

この実施例のように PMOS により定電流回路を構成する場合でも、実施例 1 と同一の効果を得ることができる。

20 (3) 実施例 3

第 17 図は、本発明の実施例 3 に係る液晶表示装置に適用されるアナログバッファ回路の構成を示すブロック図である。このアナログバッファ回路 50 は、実施例 1 に係る NMOS ソースフォロワ回路によるアナログバッファに代えて、この NMOS ソースフォロワ回路と PMOS ソースフォロワ回路との組み合わせにより構成される。このためこの実施例 3 に係る液晶表示装置では、実施例 1 に係る液晶表示装置 1 におけるグランド電位と正側所定電位との間の切り換えに係るプリチャージの処理に代えて、正側所定電位と負側所定電位との間の切り換えに係るプリチャージの処理を実行する。

このアナログバッファ回路においては、第 18 図に示すように、実施例 1 に係

るNMOSトランジスタによりソースフォロワ回路と、実施例2に係るPMOSトランジスタによりソースフォロワ回路との組み合わせにより構成され、プリチャージの処理に係る電位の正側又は負側の設定に対応してNMOSトランジスタによるソースフォロワ回路と、PMOSトランジスタによるソースフォロワ回路とが交互に動作するようになされている。

この実施例のように、NMOSソースフォロワ回路と、PMOSソースフォロワ回路との組み合わせにより構成され、アナログバッファ回路を構成する場合にも、定電流回路に関して、第1又は第2の実施例と同様の効果を得ることができる。

10

(4) 実施例4

第19図は、本発明の実施例4に係る液晶表示装置に適用されるアナログディジタル変換回路及びバッファ回路の構成を示すブロック図である。この実施例に係る液晶表示装置においては、基準電圧発生回路15から出力される基準電圧V0～V63を実施例1～3について上述したアナログバッファ回路57により処理した後、各基準電圧セクタ16により選択する。なおプリチャージ回路においては、各基準電圧セクタ16の出力に設けられる。

この実施例のように、基準電圧発生回路15で生成される基準電圧をアナログバッファ回路により処理する場合に適用しても、上述の実施例1と同様の効果を得ることができる。

20

(5) 実施例5

第20図は、本発明の実施例5に係る定電流回路を示す接続図である。この定電流回路66は、TFTによる各種集積回路に適用される。この定電流回路66は、トランジスタQ14A及びサンプリング用コンデンサC3A、トランジスタQ14B及びサンプリング用コンデンサC3B、トランジスタQ14C及びサンプリング用コンデンサC3Cに順次トランジスタQ13による基準電流を供給し、各サンプリング用コンデンサC3A、C3B、C3CにそれぞれトランジスタQ14A、Q14B、Q14Cを基準電流により駆動するのに必要なゲートソ

ース間電圧を設定し、各トランジスタQ14A、Q14B、Q14Cにおいては、このサンプリング用コンデンサC3A、C3B、C3Cに設定されたゲートソース間電圧により対応する駆動対象より定電流を流出させる。

- この実施例のように、1つの基準電流より複数の駆動対象を駆動する場合であっても、時分割により各トランジスタのゲートソース間電圧をサンプリング用コンデンサに設定して上述した実施例と同様に処理することにより、実施例1と同様の効果を得ることができる。

(6) 他の実施例

- 10 なお上述の実施例においては、ライン反転により表示部を駆動する場合について述べたが本発明はこれに限らず、フィールド反転等により駆動する場合にも広く適用することができる。

- また上述の実施例においては、ガラス基板上に表示部等を作成してなるTFT液晶によるフラットディスプレイ装置に本発明を適用する場合について述べたが、
15 、本発明はこれに限らず、CGS (Continuous Grain Silicon) 液晶等、各種の液晶表示装置、さらにはEL (Electro Luminescence) 表示装置等、種々のフラットディスプレイ装置に広く適用することができる。

- また上述の実施例においては、液晶表示装置のアナログバッファ回路等に本発明に係る定電流回路を適用する場合について述べたが、本発明はこれに限らず、
20 種々の集積回路に係る定電流回路に広く適用することができる。

産業上の利用可能性

本発明は、TFT、CGS等によるアクティブ素子による定電流回路、このような定電流回路を用いたフラットディスプレイ装置に適用することができる。

請求の範囲

1. トランジスタのゲートソース間に接続されたサンプリング用コンデンサと、前記トランジスタのドレインとを基準電流源に接続し、前記トランジスタを前記基準電流源の基準電流により駆動した際の前記ゲートソース間の電圧に前記サンプリング用コンデンサの両端電圧を設定した後、

- 前記サンプリング用コンデンサ、前記トランジスタと前記基準電流源との接続を遮断すると共に、前記トランジスタのドレインを駆動対象に接続し、前記サンプリング用コンデンサに設定された前記ゲートソース間の電圧による前記トランジスタの電流で前記駆動対象を駆動することを特徴とする定電流回路。

2. 前記サンプリング用コンデンサの両端電圧を設定する期間と、前記駆動対象を駆動する期間とを繰り返すことを特徴とする請求の範囲第1項に記載の定電流回路。

3. マトリックス状に画素を配置してなる表示部と、前記表示部の画素をゲート線により順次選択する垂直駆動回路と、前記ゲート線により選択された画素を前記表示部の信号線により駆動する水平駆動回路とを一体に基板上に形成してなるフラットディスプレイ装置において、

- 前記水平駆動回路は、前記画素の階調を示す階調データをディジタルアナログ変換処理するディジタルアナログ変換回路と、

- 前記ディジタルアナログ変換回路の出力信号により前記信号線を駆動するバッファ回路とを有し、前記バッファ回路は、

トランジスタのソースに定電流回路を接続してなるソースフォロワ回路により前記信号線を駆動し、

前記定電流回路は、

トランジスタのゲートソース間に接続されたサンプリング用コンデンサと、前記トランジスタのドレインとを基準電流源に接続し、前記トランジスタを前記基準電流源の基準電流により駆動した際の前記ゲートソース間の電圧に前記サンプリング用コンデンサの両端電圧を設定した後、

- 5 前記サンプリング用コンデンサ、前記トランジスタと前記基準電流源との接続を遮断すると共に、前記トランジスタのドレインを駆動対象に接続し、前記サンプリング用コンデンサに設定された前記ゲートソース間の電圧による前記トランジスタの電流で前記駆動対象を駆動する

ことを特徴とするフラットディスプレイ装置。

10

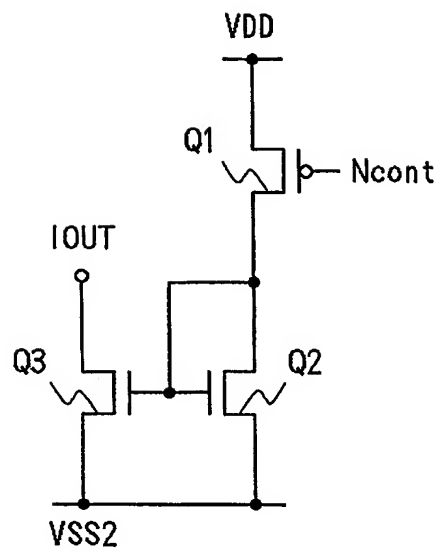
4. 前記定電流回路は、

前記サンプリング用コンデンサの両端電圧を設定する期間と、前記駆動対象を駆動する期間とを繰り返し、

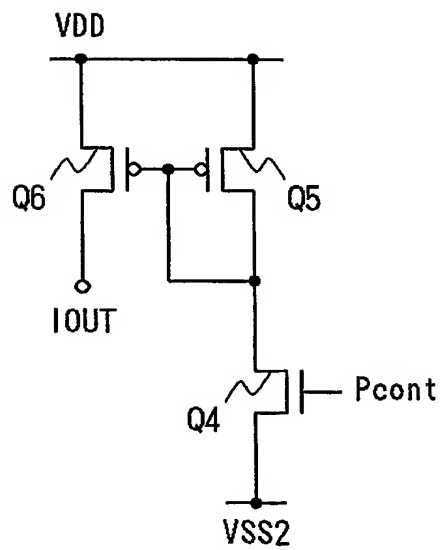
前記サンプリング用コンデンサの両端電圧を設定する期間が、前記表示部のプ

- 15 リチャージの期間に設定された

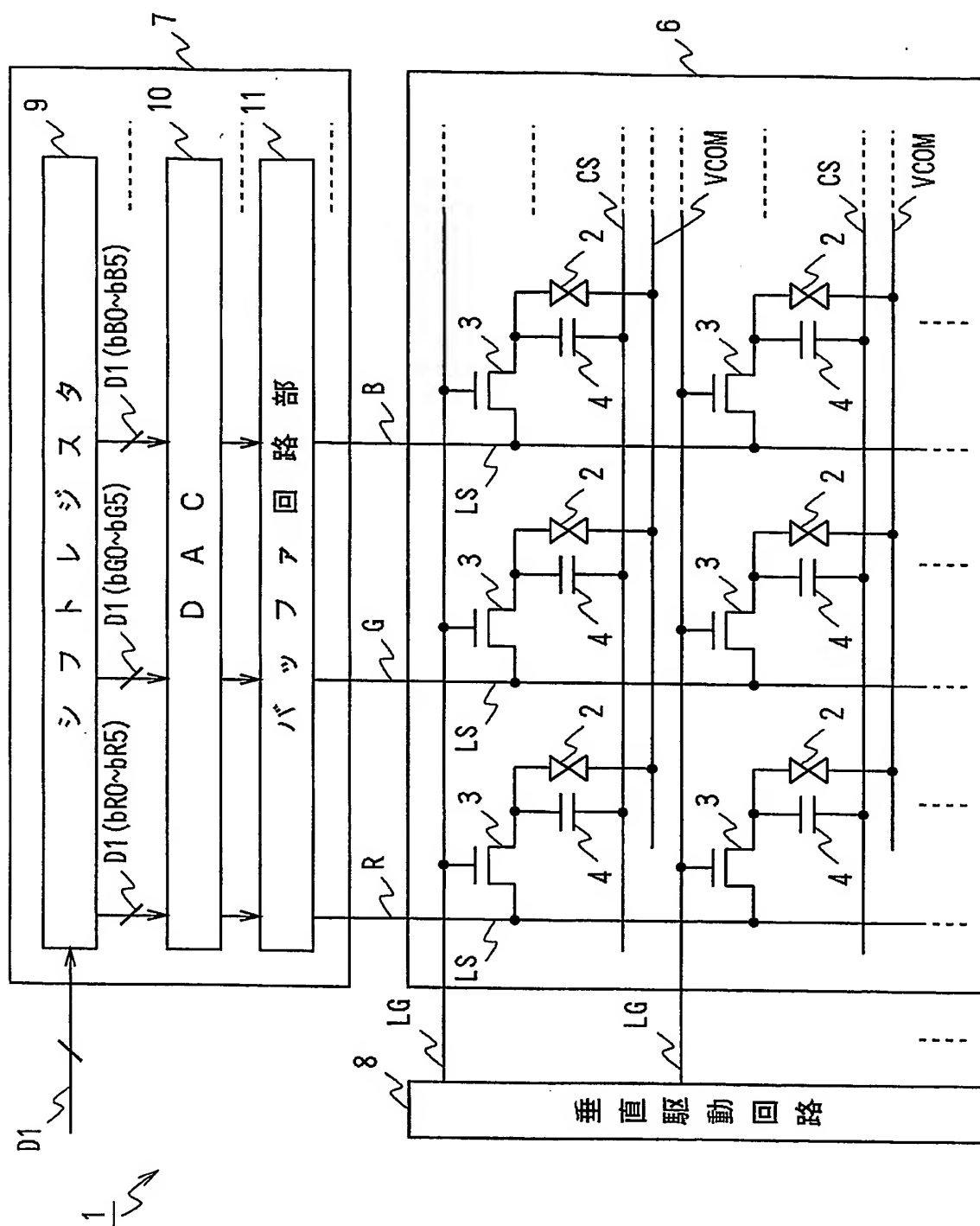
ことを特徴とする請求の範囲第3項に記載のフラットディスプレイ装置。



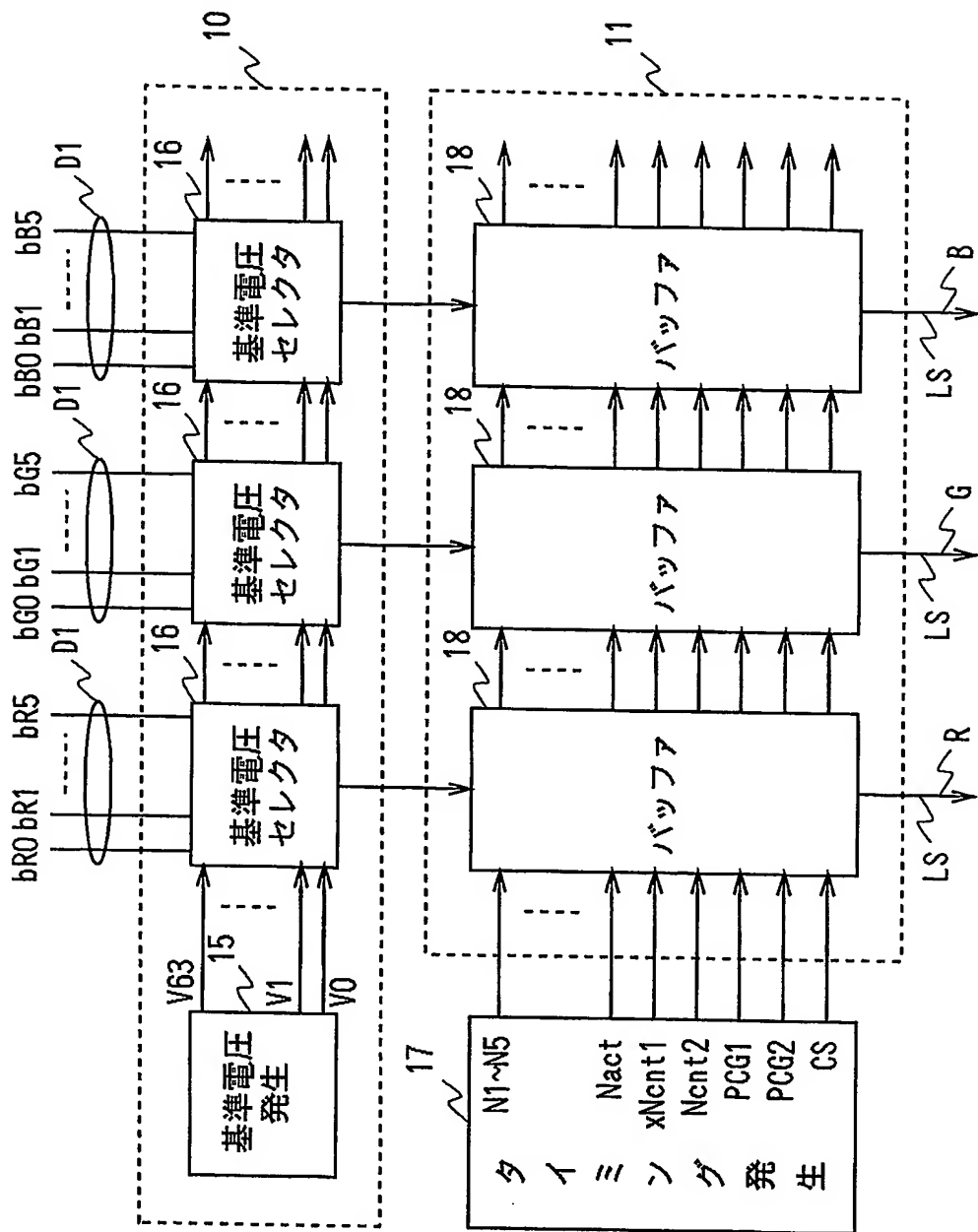
第 1 図



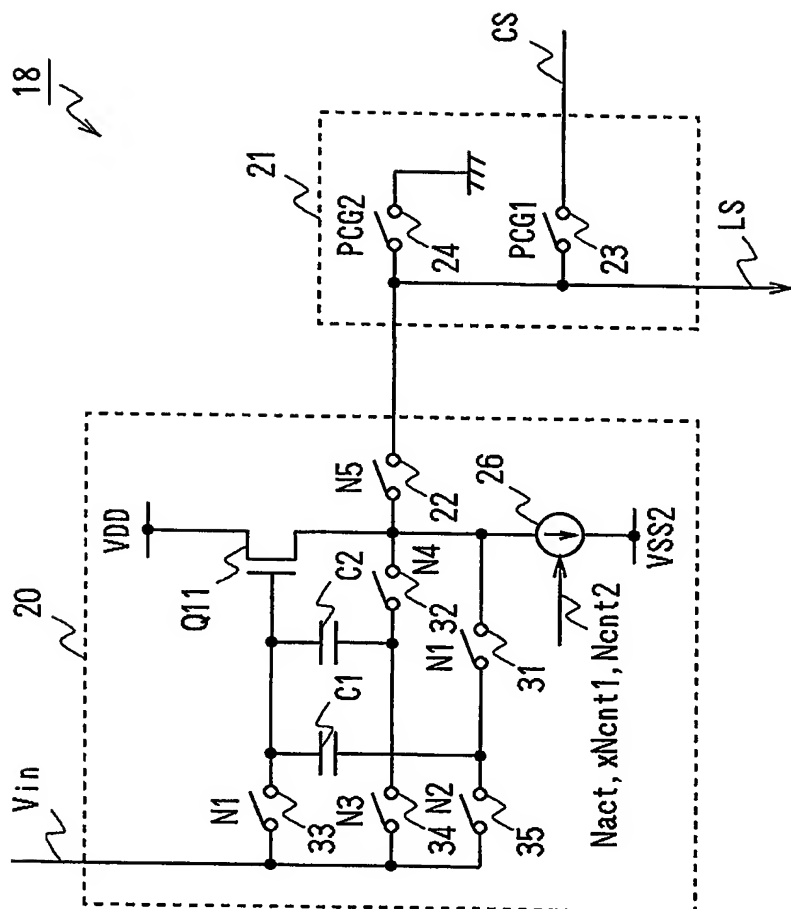
第 2 図



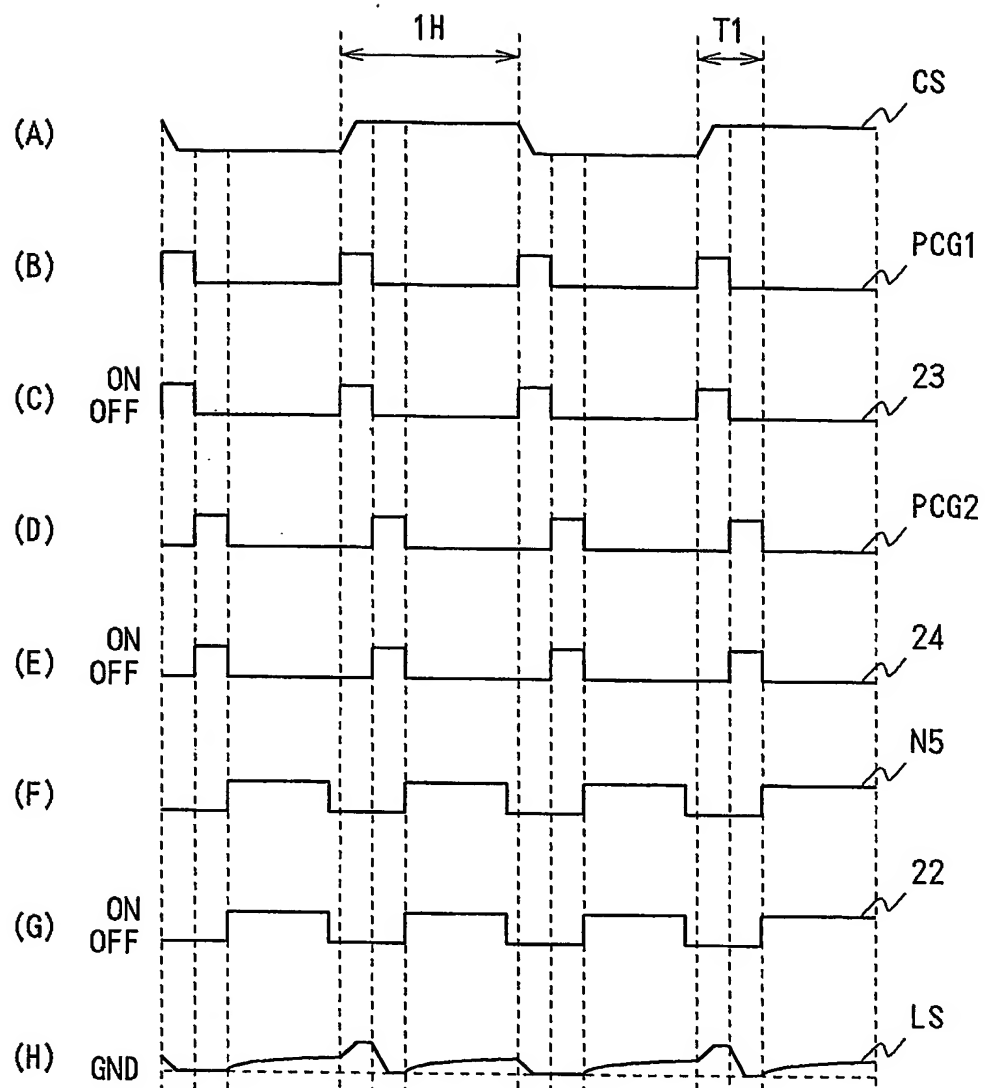
第3図



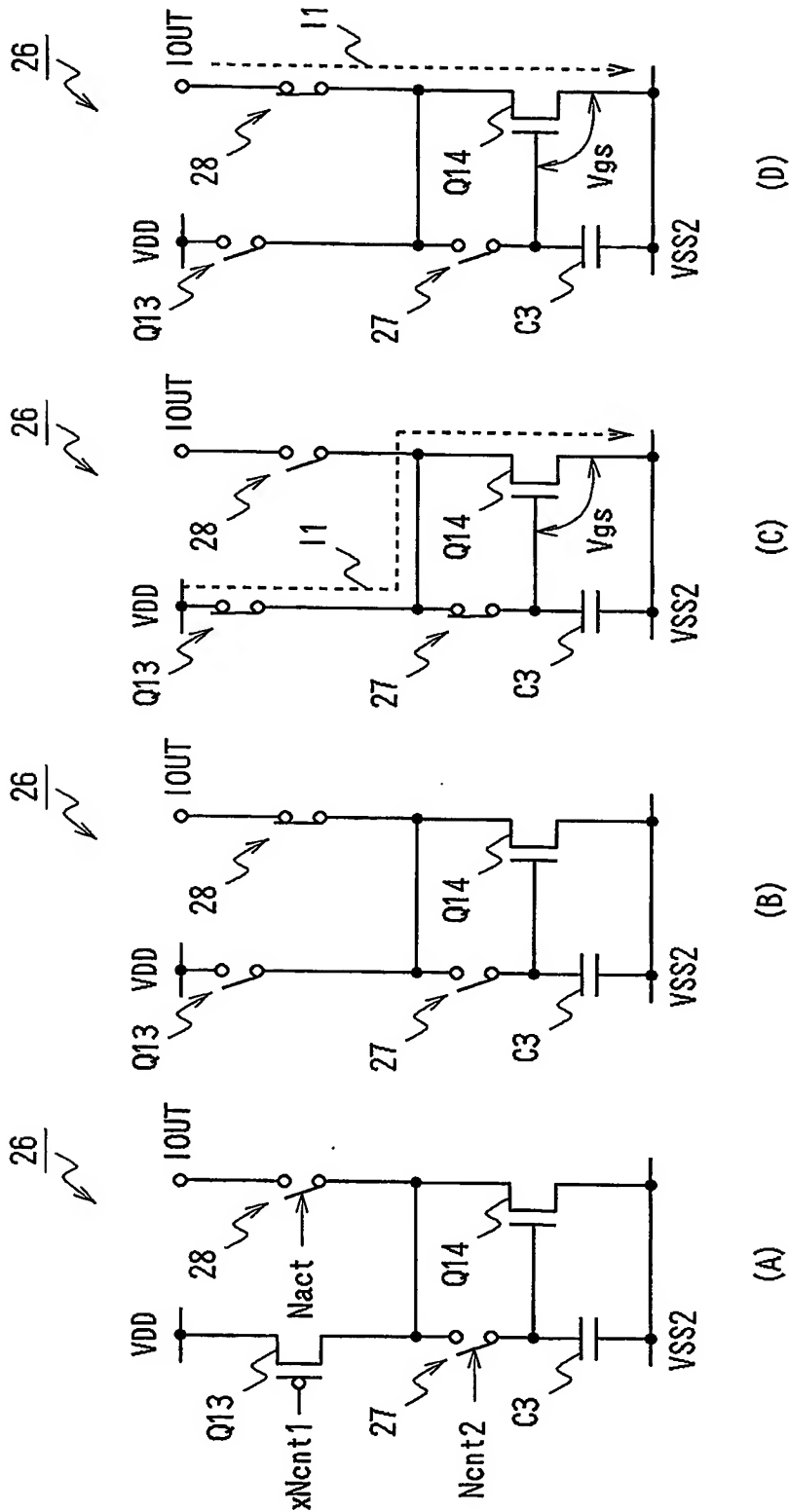
第4図



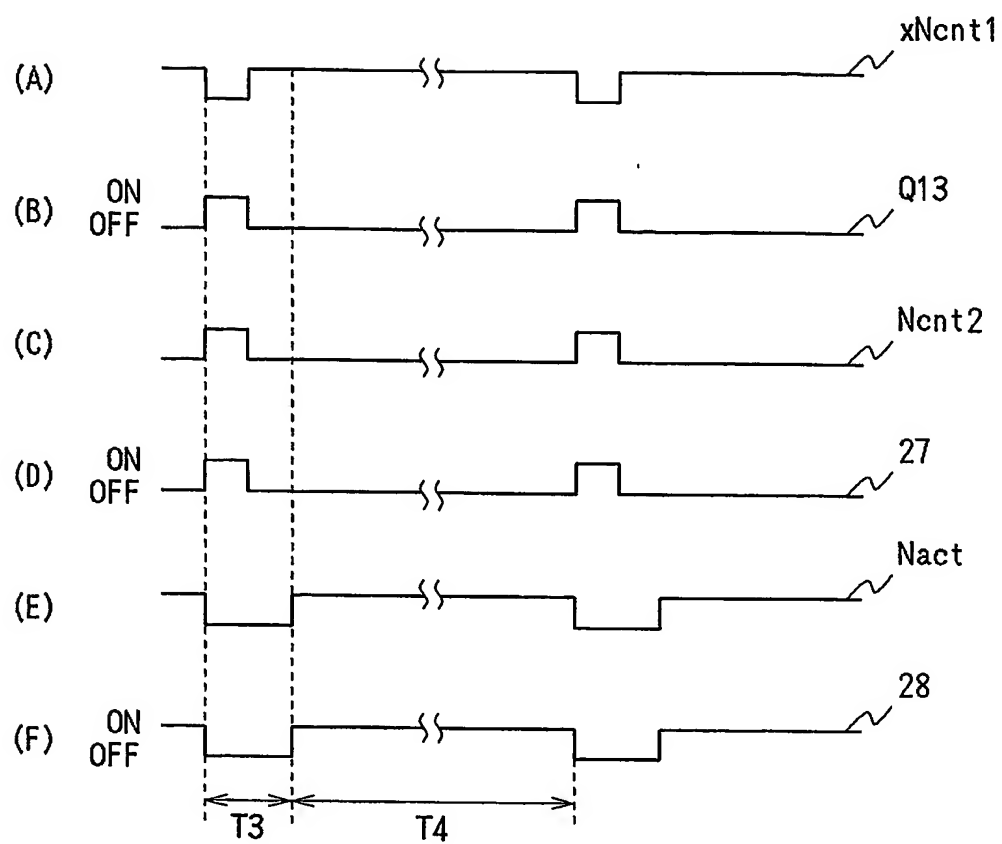
第5図



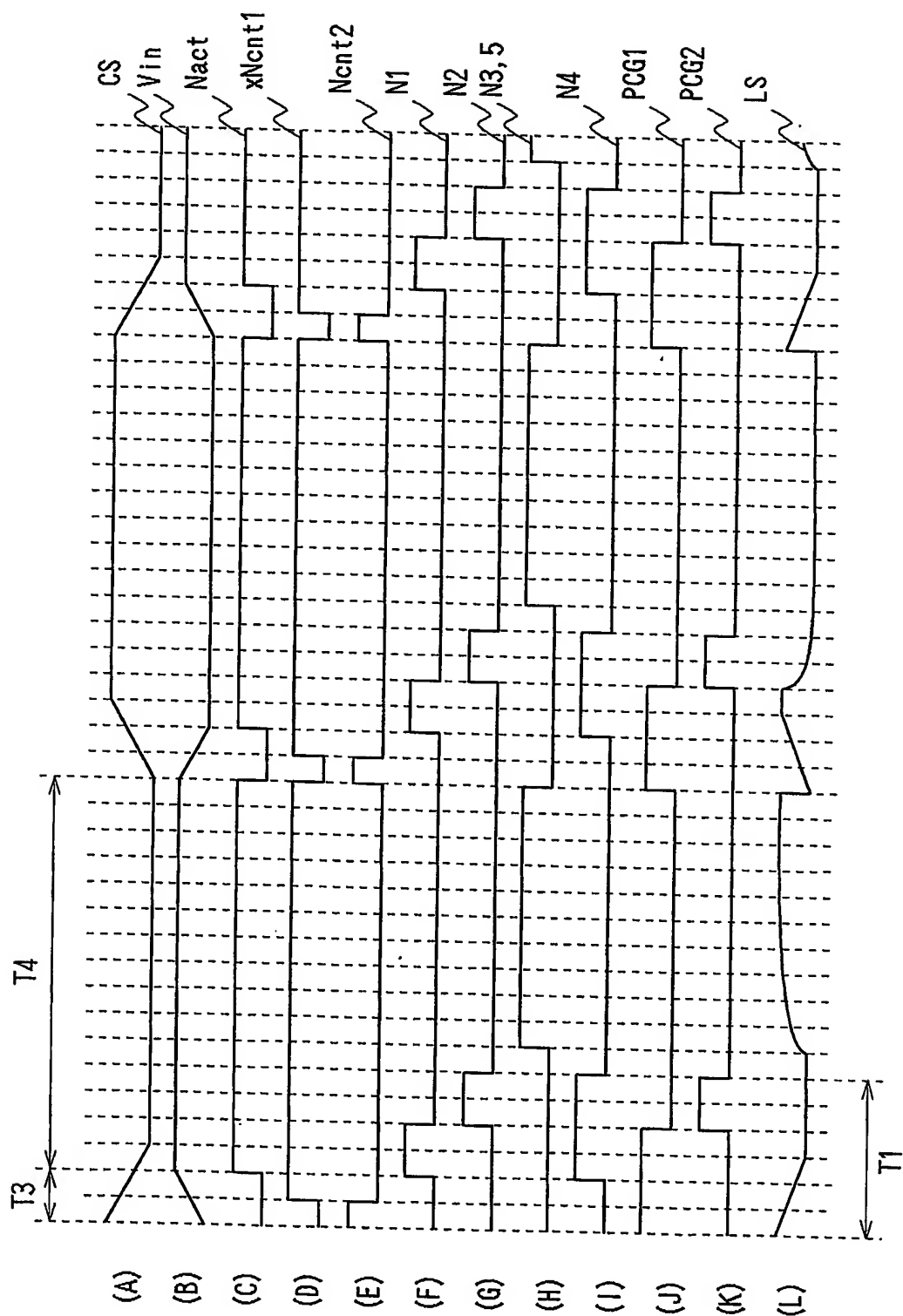
第6図



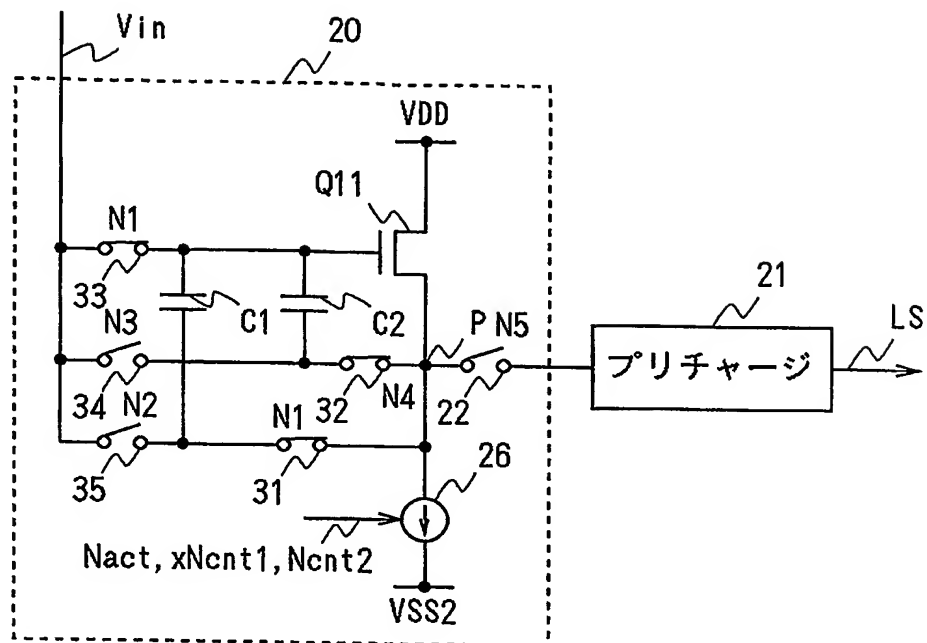
第7図



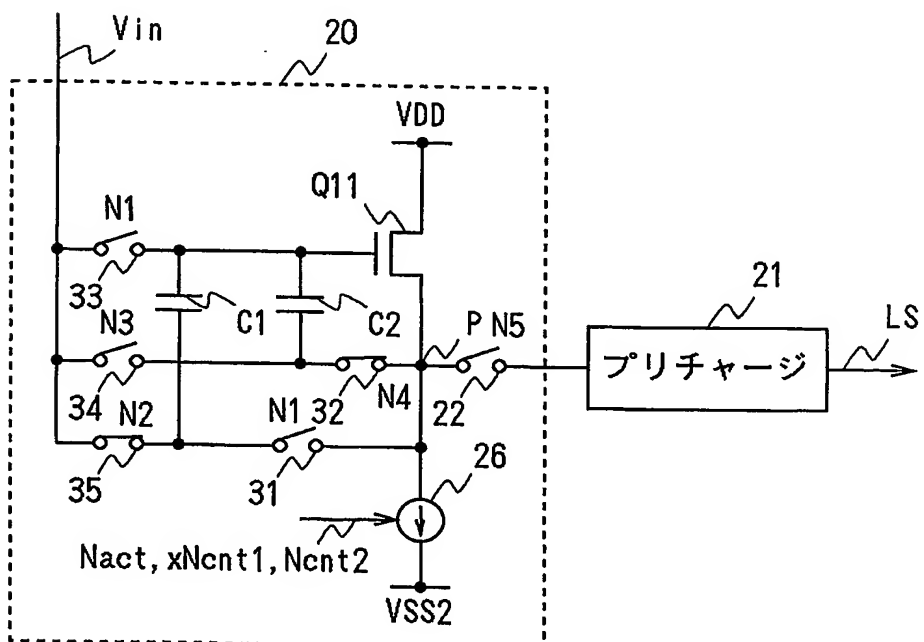
第8図



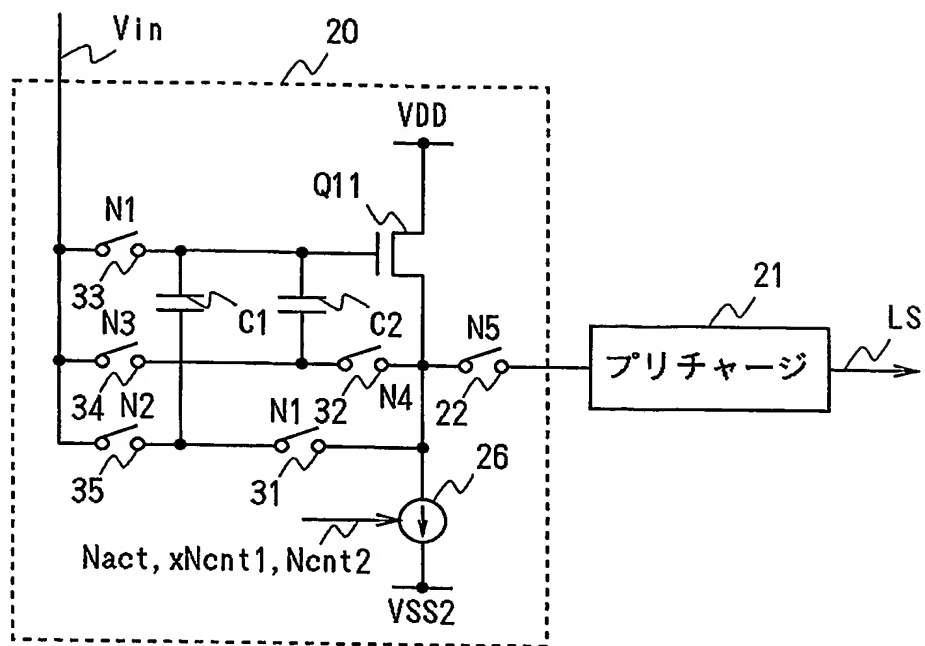
第9図



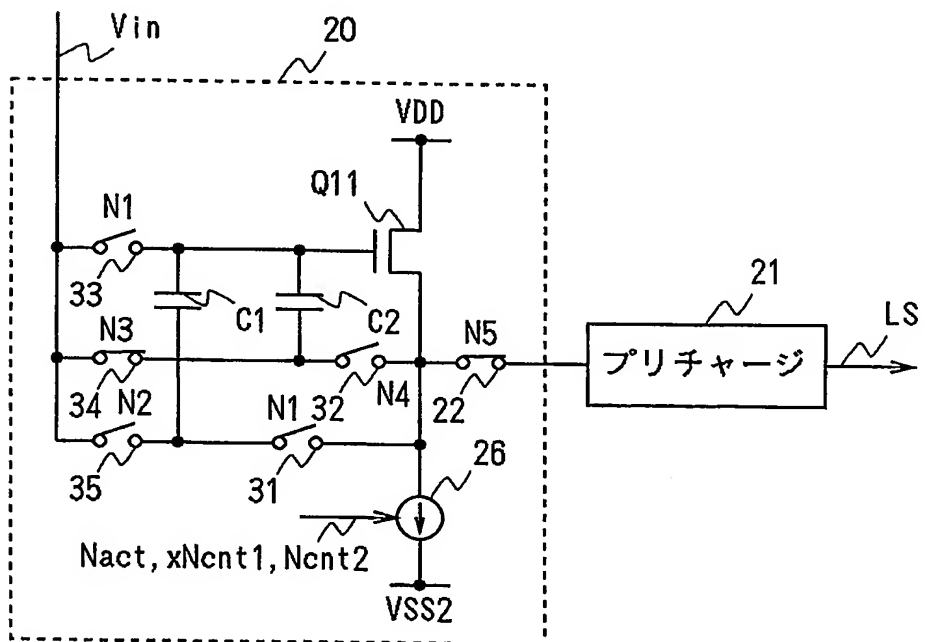
第 10 図



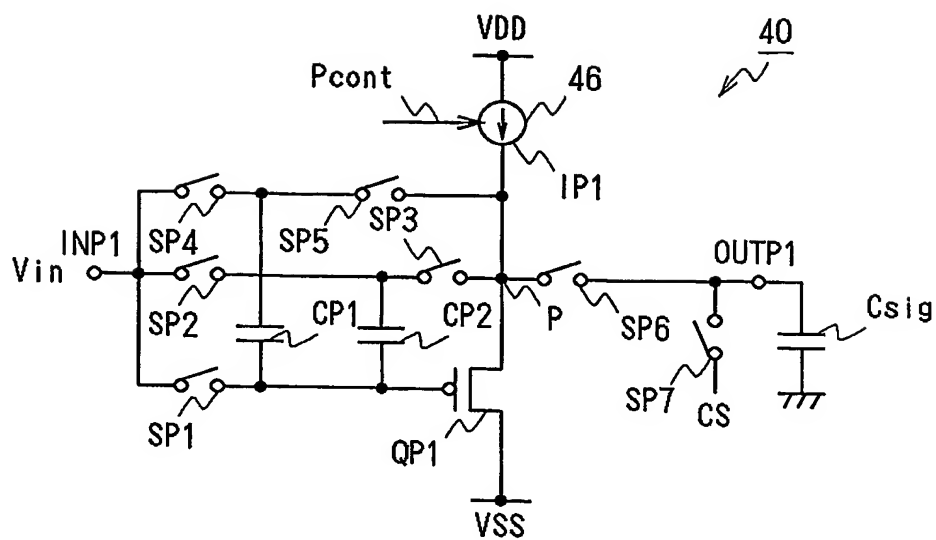
第 11 図



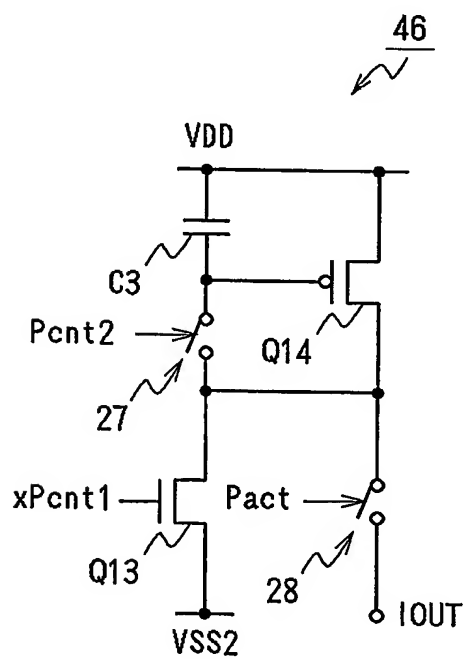
第 1 2 図



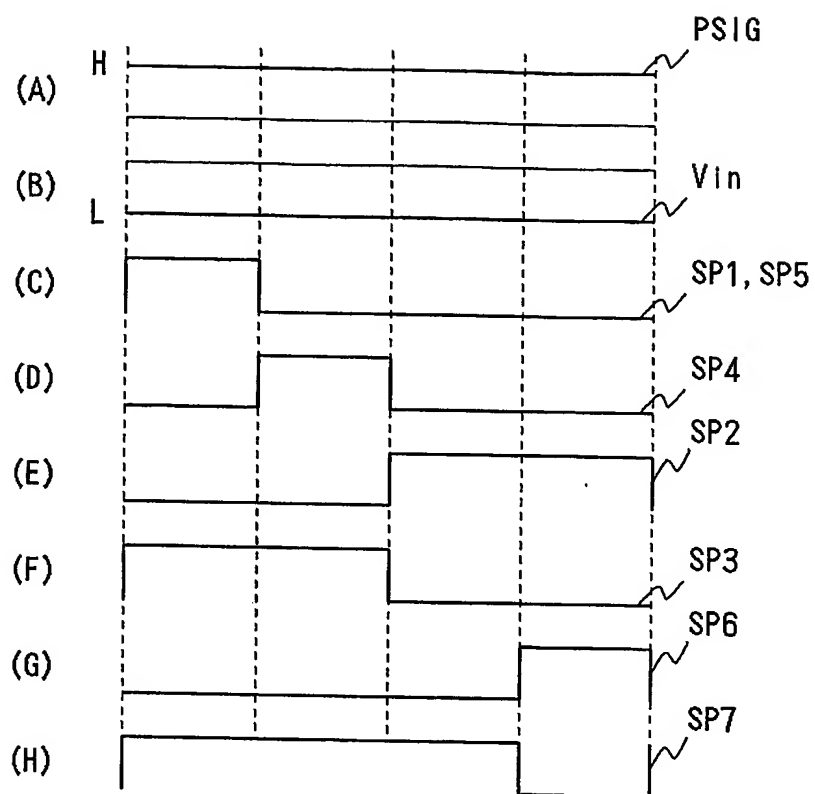
第 1 3 図



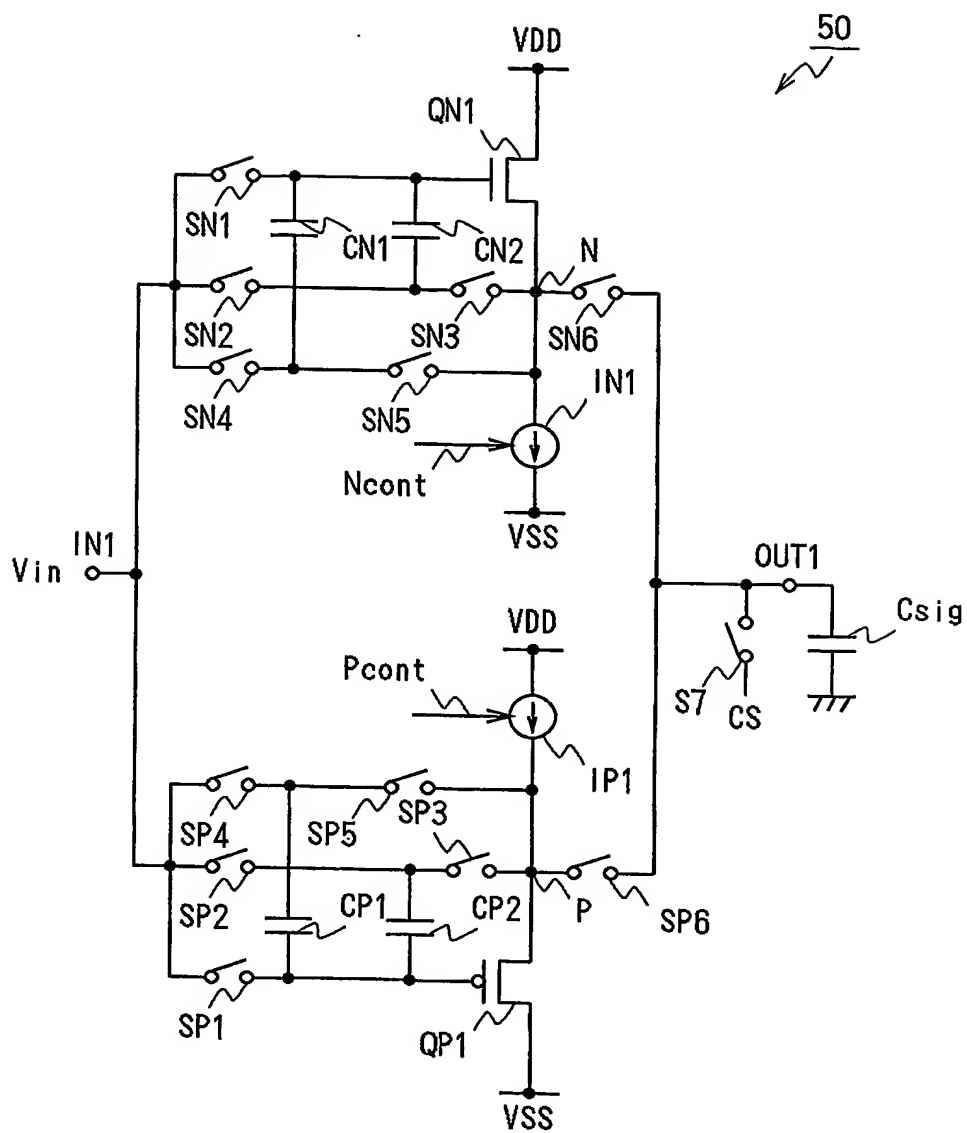
第 1 4 図



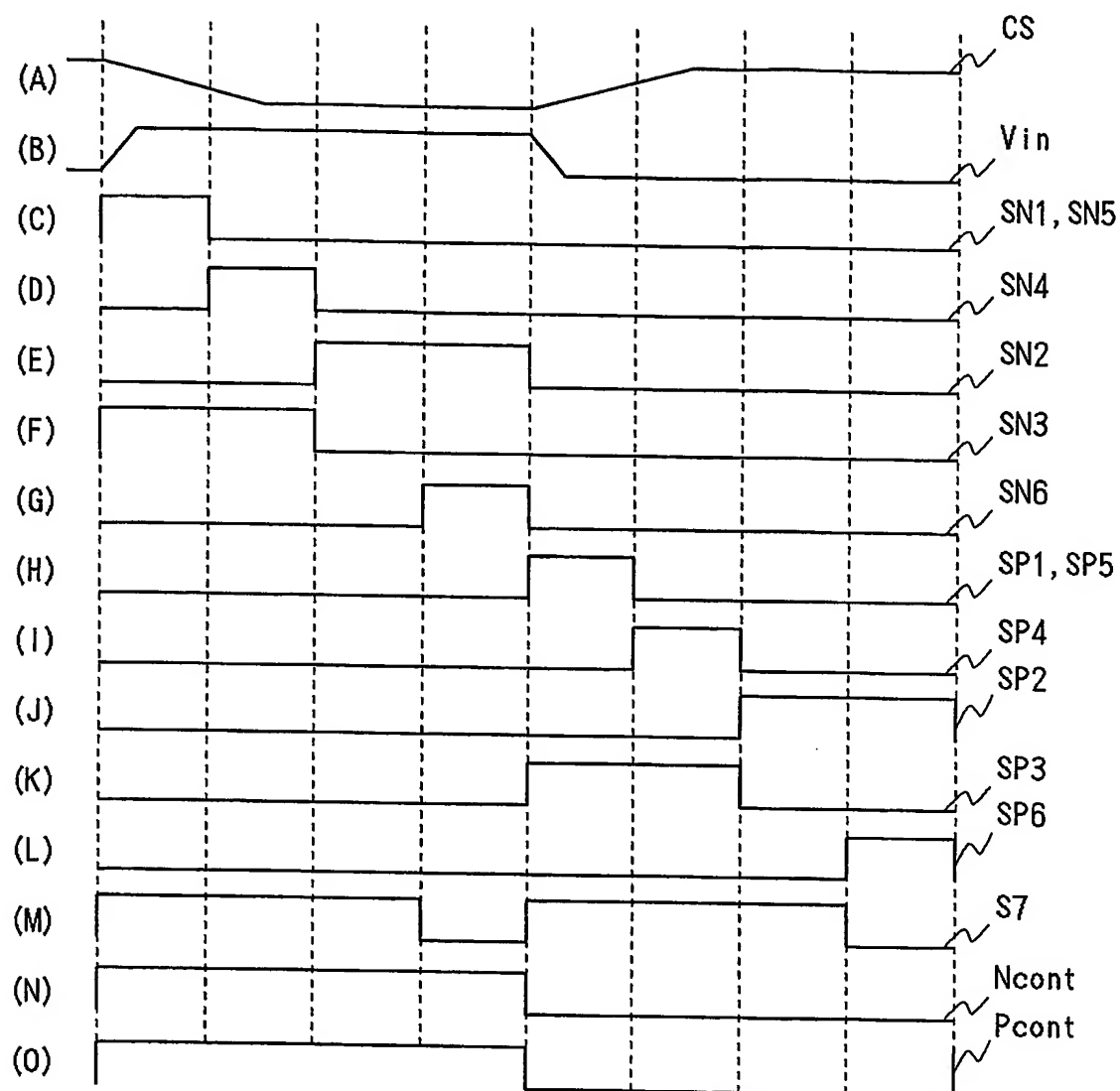
第 1 5 図



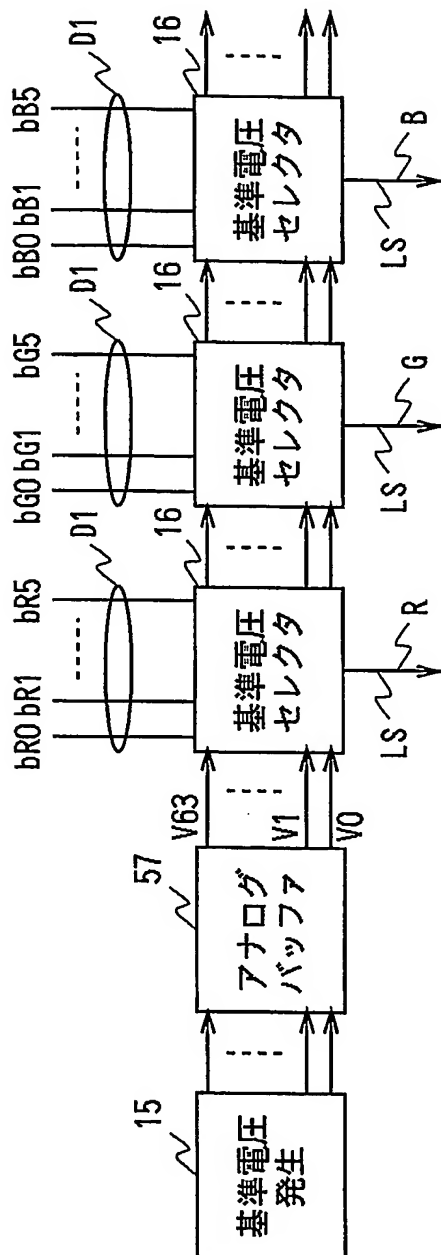
第 1 6 図



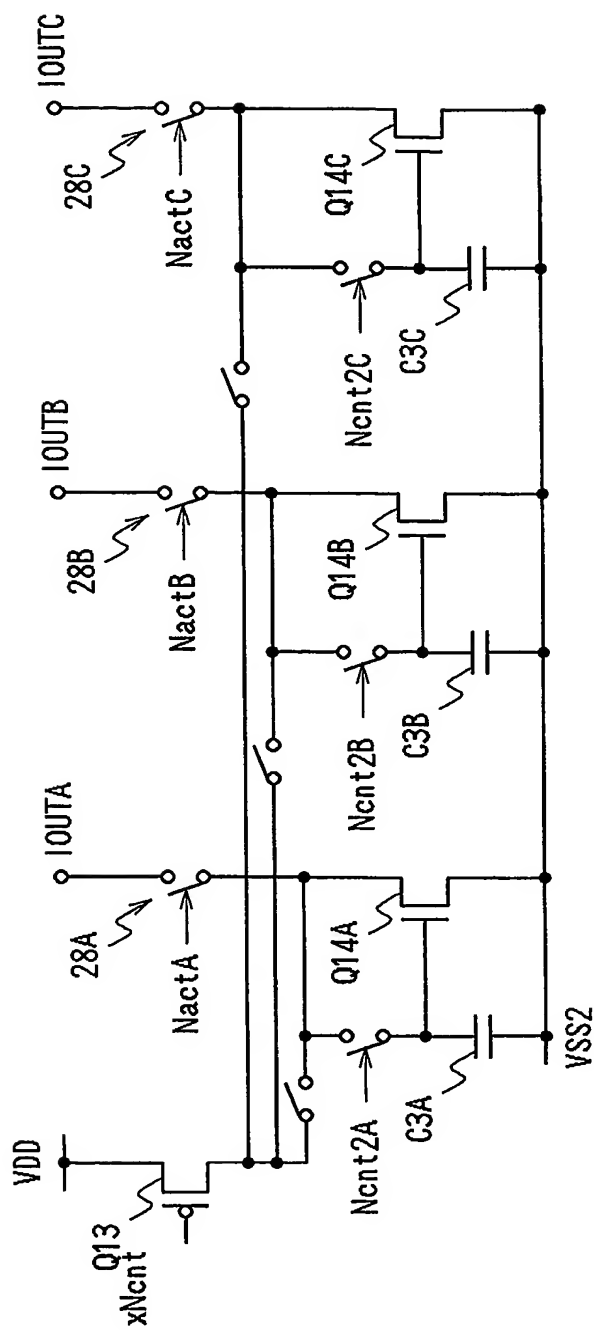
第 17 図



第18図



第19図



第 20 図

符号の説明

1 ……液晶表示装置、2 ……液晶セル、3、Q 1 ～ Q 1 4 C ……トランジスタ、4 ……保持容量、6 ……表示部、7 ……水平駆動回路、8 ……垂直駆動回路、9 ……シフトレジスタ、1 0 ……デジタルアナログ変換回路、1 1 ……バッファ回路部、1 5 ……基準電圧発生回路、1 6 ……基準電圧セクタ、1 7 ……タイミング発生回路、1 8 ……バッファ回路、2 0、4 0、5 0、5 7 ……アナログバッファ回路、2 1 ……プリチャージ回路、2 2、2 3、2 4、2 7、2 8、3 1 ～ 3 5 ……スイッチ回路、2 6、4 6、6 6 ……定電流回路、C 1 ～ C 3、C 3 A ～ C 3 C ……コンデンサ

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009906

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ G09G3/36, 3/20, H03K17/00, 17/687, G02F1/133, H05B33/14		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ G09G3/36, 3/20, H03K17/00, 17/687, G02F1/133, H05B33/14		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004 Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 10861/1986(Laid-open No. 122488/1987) (Sony Corp.), 04 August, 1987 (04.08.87), Page 6, line 5 to page 7, line 20; Figs. 1 to 2 (Family: none)	1-2
Y		3-4
Y	JP 11-73165 A (Sony Corp.), 16 March, 1999 (16.03.99), Par. Nos. [0018] to [0022]; Figs. 3 to 4, 11 & EP 899714 A2 & US 6313819 B1 & KR 99024003 A	3-4
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "B" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 29 September, 2004 (29.09.04)		Date of mailing of the international search report 19 October, 2004 (19.10.04)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. ⁷ G09G3/36, 3/20, H03K17/00, 17/687
G02F1/133, H05B33/14

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. ⁷ G09G3/36, 3/20, H03K17/00, 17/687
G02F1/133, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国実用新案登録公報 1996-2004年
日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	日本国実用新案登録出願 61-10861 号 (日本国実用新案登録 出願公開 62-122488 号) の願書に添付した明細書及び図面 の内容を撮影したマイクロフィルム (ソニー株式会社), 198 7. 08. 04, 第 6 頁第 5 行~第 7 頁第 20 行, 第 1~2 図 (フ ァミリーなし)	1-2
Y		3-4
Y	JP 11-73165 A (ソニー株式会社) 1999. 03. 16, 段落【0018】~【0022】, 図 3~4, 11 & EP 899714 A2 & US 6313819 B1 & KR 99024003 A	3-4

☐ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

29. 09. 2004

国際調査報告の発送日

19.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

濱本 禎広

2 G.

9509

電話番号 03-3581-1101 内線 3226